

Requested Patent: JP2001085408A

Title:

METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE ;

Abstracted Patent: JP2001085408 ;

Publication Date: 2001-03-30 ;

Inventor(s): TAKAHASHI OSAMU; SUZUKI SHINICHI; KUROKI KEIJI ;

Applicant(s): HITACHI LTD ;

Application Number: JP19990259239 19990913 ;

Priority Number(s): ;

IPC Classification: H01L21/3065; H01L27/108; H01L21/8242 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a technology that can reduce the manufacturing cost of a semiconductor integrated circuit device. SOLUTION: In a method for manufacturing semiconductor integrated circuit device, a W film formed on a wafer SW is etched by heating the wafer SW to about 100-250 deg.C by using all or part of infrared lamps 20, a temperature-adjusting liquid, a heating gas 18a, and a Peltier element 19. Then, a polycrystalline silicon film formed on the wafer SW is etched continuously by cooling the wafer SW to about -30 to 80 deg.C by using all or part of the temperature-adjusting liquid 15, a cooling gas 18b, and the Peltier element 19.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85408

(P2001-85408A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L	21/3065	H 0 1 L	21/302
	27/108		27/10
	21/8242		6 8 1 F
			5 F 0 0 4
			5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平11-259239

(22) 出願日 平成11年9月13日 (1999.9.13)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 高橋 理

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 鈴木 慎一

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

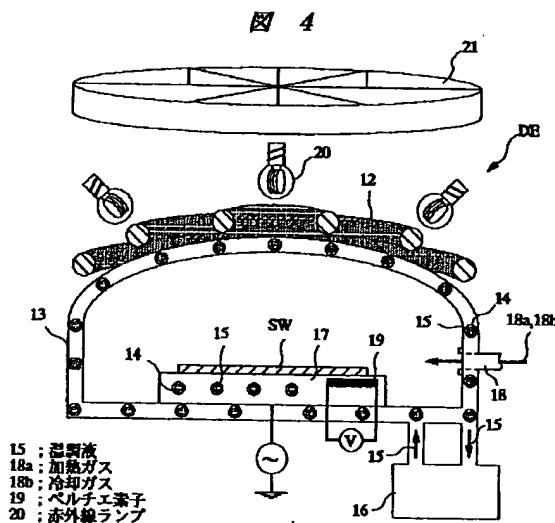
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法および製造装置

(57) 【要約】

【課題】 半導体集積回路装置の製造コストを低減することのできる技術を提供する。

【解決手段】 処理室DEのウエハステージ17上に置かれた半導体ウエハSWの温度を、赤外線ランプ20、温調液15、加熱ガス18aおよびペルチエ素子19の全て、またはこれらのうちのいずれかを用いて100〜250℃程度に加熱して、半導体ウエハSW上のW膜をエッチングした後、連続して半導体ウエハSWの温度を、温調液15、冷却ガス18bおよびペルチエ素子19の全て、またはこれらのうちのいずれかを用いて-30〜80℃程度に冷却して、半導体ウエハSW上の多結晶シリコン膜をエッチングする。



【特許請求の範囲】

【請求項1】 半導体ウエハ上に堆積された第1の膜および第2の膜からなる積層膜を加工する半導体集積回路装置の製造方法であって、前記半導体ウエハを100～250℃程度に加熱して、前記第1の膜をエッチングした後、連続して同一処理室で前記半導体ウエハを-30～80℃程度に冷却して、前記第2の膜をエッチングすることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記半導体ウエハは、それぞれ加熱方法である赤外線ランプと、前記処理室の内部へ導入される加熱ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子のうち少なくとも1つの加熱方法で加熱され、それぞれ冷却方法である空冷ファンと、前記処理室の内部へ導入される冷却ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子のうち少なくとも1つの冷却方法で冷却されることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項2記載の半導体集積回路装置の製造方法において、前記温調液が流れるパイプまたは前記ペルチエ素子にフィンが備わっていることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法において、前記第1の膜は、タングステン膜、モリブデン膜、タングステンシリサイド膜またはモリブデンシリサイド膜であり、前記第2の膜は、多結晶シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 半導体ウエハを100～250℃程度に加熱する機能と、前記半導体ウエハを-30～80℃程度に冷却する機能とが備わった処理室を有することを特徴とする半導体集積回路装置の製造装置。

【請求項6】 請求項5記載の半導体集積回路装置の製造装置において、それぞれ加熱方法である赤外線ランプと、前記処理室の内部へ導入される加熱ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子のうち少なくとも1つの加熱機能を有し、それぞれ冷却方法である空冷ファンと、前記処理室の内部へ導入される冷却ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の

内部またはウエハステージに設置されるペルチエ素子のうち少なくとも1つの冷却機能を有することを特徴とする半導体集積回路装置の製造装置。

【請求項7】 請求項6記載の半導体集積回路装置の製造装置において、前記温調液が流れるパイプまたは前記ペルチエ素子にフィンが備わっていることを特徴とする半導体集積回路装置の製造装置。

【請求項8】 請求項6記載の半導体集積回路装置の製造装置において、前記処理室の上方にファンが設けられていることを特徴とする半導体集積回路装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、半導体ウエハ上に堆積された金属膜および多結晶シリコン膜からなる積層膜をドライエッチング技術で加工する工程を有する半導体集積回路装置の製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】MISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート電極は、低抵抗化のために、例えばタングステン膜と多結晶シリコン膜からなるポリメタル構造が用いられている。

【0003】バターンニングされたレジスト膜をマスクとして、まず、約100℃の相対的に高い温度でタングステン膜をエッチングし、続いて約0℃の相対的に低い温度で多結晶シリコン膜をエッチングすることによって、タングステン膜および多結晶シリコン膜からなる積層構造の微細なゲート電極を形成している。

【0004】

【発明が解決しようとする課題】しかしながら、タングステン膜と多結晶シリコン膜とからなる積層膜の前記エッチング方法では、高温用と低温用の2つの処理室を必要とするため、製造装置のコストが増加する、また浮遊した異物が半導体ウエハに付着して異物数が増加するという課題が残されている。

【0005】本発明の目的は、半導体集積回路装置の製造コストを低減することのできる技術を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に堆積された第1の膜および第2の膜からなる積層膜を加工する際、前記半導体ウエハを100～2

50℃程度に加熱して、前記第1の膜をエッチングした後、連続して同一処理室で前記半導体ウエハを-30～80℃程度に冷却して、前記第2の膜をエッチングするものである。

【0008】(2) 本発明の半導体集積回路装置の製造方法は、前記(1)記載の半導体集積回路装置の製造方法において、前記半導体ウエハは、それぞれ加熱方法である赤外線ランプと、前記処理室の内部へ導入される加熱ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子とのうち少なくとも1つの加熱方法で加熱され、それぞれ冷却方法である空冷ファンと、前記処理室の内部へ導入される冷却ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子とのうち少なくとも1つの冷却方法で冷却されるものである。

【0009】(3) 本発明の半導体集積回路装置の製造方法は、前記(2)記載の半導体集積回路装置の製造方法において、前記温調液が流れるパイプまたは前記ペルチエ素子にフィンが備わっているものである。

【0010】(4) 本発明の半導体集積回路装置の製造方法は、前記(1)記載の半導体集積回路装置の製造方法において、前記第1の膜をタングステン膜、モリブデン膜、タングステンシリサイド膜またはモリブデンシリサイド膜とし、前記第2の膜を多結晶シリコン膜とするものである。

【0011】(5) 本発明の半導体集積回路装置の製造装置は、半導体ウエハを100～250℃程度に加熱する機能と、前記半導体ウエハを-30～80℃程度に冷却する機能とが備わった処理室を有するものである。

【0012】(6) 本発明の半導体集積回路装置の製造装置は、前記(5)記載の半導体集積回路装置の製造装置において、それぞれ加熱方法である赤外線ランプと、前記処理室の内部へ導入される加熱ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子とのうち少なくとも1つの加熱機能を有し、それぞれ冷却方法である空冷ファンと、前記処理室の内部へ導入される冷却ガスと、前記処理室の壁の部材内部、前記処理室の壁の外側またはウエハステージに流される温調液と、前記処理室の壁の部材内部、前記処理室の壁の外側、前記処理室の内部またはウエハステージに設置されるペルチエ素子とのうち少なくとも1つの冷却機能を有するものである。

【0013】(7) 本発明の半導体集積回路装置の製造

装置は、前記(6)記載の半導体集積回路装置の製造装置において、前記温調液が流れるパイプまたは前記ペルチエ素子にフィンが備わっているものである。

【0014】(8) 本発明の半導体集積回路装置の製造装置は、前記(6)記載の半導体集積回路装置の製造装置において、前記処理室の上方にファンが設けられているものである。

【0015】上記した手段によれば、一つの処理室で100～250℃程度の高温エッチングおよび-30～80℃程度の低温エッチングを連続して行うことができるので、高温用と低温用の2つの処理室は不要となりドライエッチング装置のコストが低減し、さらに、異物の発生が抑えられて製造歩留まりが向上する。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】本発明の一実施の形態であるDRAM (Dynamic Random Access Memory) の製造方法を図1～図13を用いて工程順に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0018】まず、図1に示すように、p型で比抵抗が10Ωcm程度のシリコン(Si)単結晶によって構成された半導体基板1を用意し、この半導体基板1の主面に浅溝2を形成する。その後半導体基板1に熱酸化を施し、酸化シリコン膜3を形成する。さらに酸化シリコン膜を堆積してこれを化学的機械研磨(Chemical Mechanical Polishing ; CMP)法により研磨して浅溝2内にのみ酸化シリコン膜を残し、分離領域4を形成する。

【0019】次に、メモリセルを形成する領域(A領域：メモリアレイ)の半導体基板1にn型不純物、例えばリン(P)をイオン打ち込みしてn型半導体領域5を形成し、メモリアレイと周辺回路(B領域)の一部(nチャネル型MISFETを形成する領域)にp型不純物、例えばホウ素(B)をイオン打ち込みしてp型ウエル6を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、例えばPをイオン打ち込みしてn型ウエル7を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、例えばフッ化ホウ素(BF₂)をp型ウエル6およびn型ウエル7にイオン打ち込みする。n型半導体領域5は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウエル6にノイズが侵入するのを防止するために形成される。

【0020】次に、図2に示すように、p型ウエル6およびn型ウエル7の各表面をフッ酸(HF)系の溶液を使って洗浄した後、半導体基板1を850℃程度でウェット酸化してp型ウエル6およびn型ウエル7の各表面に膜厚7nm程度の清浄なゲート酸化膜8を形成する。

【0021】次に、ゲート酸化膜8上にゲート電極9

A、9B、9Cを形成する。ゲート電極9Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして機能する。このゲート電極9A（ワード線WL）の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法で構成される。また、隣接する2本のゲート電極9A（ワード線WL）の間隔は、フォトリソグラフィの解像限界で決まる最小寸法で構成される。ゲート電極9Bおよびゲート電極9Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0022】次に、ゲート電極9A（ワード線WL）およびゲート電極9B、9Cの形成方法を図3～図6を用いて説明する。図3は、例えばゲート電極9A（ワード線WL）を示す半導体基板の要部断面図であり、図4は、ドライエッチング装置の処理室内に設けられる温調装置の一例の概略図であり、図5は、ドライエッチング工程における工程図であり、図6は、ドライエッチング装置の処理室内に設けられる温調装置の他の例の概略図である。

【0023】まず、図3（a）に示すように、例えばPなどのn型不純物がドーパされた膜厚70nm程度の多結晶シリコン膜9aを半導体基板1上に化学的気相成長（Chemical Vapor Deposition；CVD）法で堆積し、次いでその上層に膜厚50nm程度のタングステンナイトライド（WN）膜9bと膜厚100nm程度のタングステン（W）膜9cとをスパッタリング法で順次堆積し、さらにその上層に膜厚150nm程度の窒化シリコン膜10をCVD法で堆積する。

【0024】WN膜9bは、高温熱処理時にW膜9cと多結晶シリコン膜9aとが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層には、WN膜の他、チタンナイトライド（TiN）膜などを使用することもできる。

【0025】ゲート電極9A（ワード線WL）の一部を低抵抗のW膜9cで構成することにより、そのシート抵抗を $2\sim 2.5\Omega/\square$ 程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極9A（ワード線WL）をアルミニウム（Al）配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上方に形成される配線層の数を1層減らすことができる。

【0026】次に、図4に示すドライエッチング装置の処理室DEで、窒化シリコン膜10の上層に形成されたフォトレジスト膜11をマスクとして、まず窒化シリコン膜10をエッチングし、次いでW膜9cおよびWN膜9bを相対的に高温で順次エッチングし（図3（b））、連続して同一処理室DEで多結晶シリコン膜9aを相対的に低温でエッチングする（図3（c））。

【0027】上記ドライエッチング装置は、例えば誘導結合型プラズマ（Inductive Coupled Plasma；ICP）エッチング装置であり、その処理室DEの外部上面にはプラズマ発生用コイル12が備え付けられている。処理室DEの壁13の部材内部にはパイプ14が設けられ、このパイプ14の管内には、例えば有機系の液体からなり、これ自体を流すことによって処理室DE内を冷却または加熱することが可能な温調液15がサーキュレータ16を用いて流されている。上記温調液15は、半導体ウエハSWが設置されるウエハステージ17の内部にもパイプ14を通して流されている。なお、処理室DEの壁13の外側にパイプ14を設置してこれに温調液15を流してもよい。上記壁13は、例えばセラミックまたは金属によって構成される。

【0028】さらに、処理室DEの壁13には、加熱ガス18aまたは冷却ガス18bを導入する導入管18が設けられおり、ウエハステージ17の内部には、上記温調液15が流れるパイプ14と共に、ウエハステージ17の温度を調整することのできるペルチエ素子19が取付けられている。このペルチエ素子19は、ウエハステージ17の内部に限らず、処理室DEの内部に設置してもよく、あるいは処理室DEの壁13の内部部材または壁13の外側に取付けてもよい。処理室DEの上方には、処理室DEを加熱することのできる赤外線ランプ20が複数個設置されている。さらに、この赤外線ランプ20の上方にはファン21が設けられており、処理室DEが置かれた領域の雰囲気攪拌することによってその温度を一定にすることができる。

【0029】次に、W膜9c、WN膜9bおよび多結晶シリコン膜9aのエッチング手順の一例を図5を用いて説明する。

【0030】まず、前記図4に示した処理室DEのウエハステージ17上に置かれた半導体ウエハSWの温度を $100\sim 250^{\circ}\text{C}$ 程度に加熱する（加熱工程）。この加熱は、赤外線ランプ20で処理室DEを加熱した後（図5の工程100）、壁13の部材内部およびウエハステージ17の内部に設置されたパイプ14を流れる温調液15、導入管18から処理室DEへ導入される加熱ガス18a、ペルチエ素子19のうち少なくとも1つの加熱方法を用いて処理室DEの温度を、例えば 180°C 程度とするように調整することによって行われる（図5の工程101）。

【0031】次に、塩素（ Cl_2 ）ガスをエッチングガスとして、ソース電力1000W、バイアス電力200Wの条件でW膜9cおよびWN膜9bを順次エッチングする（図5の工程102）。上記エッチングが終わった後、赤外線ランプ20による加熱およびその他の前記加熱手段を止める（図5の工程103）。

【0032】次に、半導体ウエハSWを処理室DEのウエハステージ17上に置いた状態で、半導体ウエハSW

の温度を $-30\sim 80^{\circ}\text{C}$ 程度に冷却する(冷却工程)。この冷却は、壁13の部材内部およびウエハステージ17に設置されたパイプ14を流れる温調液15、導入管18から処理室DEへ導入される冷却ガス18b、ペルチエ素子19のうち少なくとも1つの冷却方法を用いて処理室DEの温度を、例えば 50°C 程度とするように調整することによって行われる(図5の工程104)。

【0033】次に、HBrガスおよび Cl_2 ガスをエッチングガスとして、ソース電力500W、バイアス電力100Wの条件で多結晶シリコン膜9aをエッチングする(図5の工程105)。エッチングガスにHBrガスを用いることによって、多結晶シリコン膜9aを垂直に加工することができる。上記エッチングが終わった後、前記冷却手段を止める(図5の工程106)。

【0034】なお、前記ファン21は、処理室DEが置かれた領域の雰囲気温度を一定にするために、加熱工程および冷却工程に用いてもよく、あるいは冷却用のファンとしてのみに用いてもよい。

【0035】また、図6に示すように、処理室DEの壁13の部材内部に設けられたパイプ14に、熱伝達の効率を上げるためにフィン14aを設けてもよい。さらに、処理室DEの壁13の部材内部にペルチエ素子19を埋め込み、上記フィン14aと同様な熱伝達の効率を上げるためのフィン19aをペルチエ素子19に設けてもよい。

【0036】次に、フォトレジスト膜11を除去し、次いでHFなどのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極9A(ワード線WL)およびゲート電極9B、9Cの下部以外の領域のゲート酸化膜8が削られると同時に、ゲート側壁下部のゲート酸化膜8も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート酸化膜8の耐圧が低下する。そこで、半導体基板1を 900°C 程度で酸化することによって、削れたゲート酸化膜8の膜質を改善する。

【0037】次に、n型ウエル7にp型不純物、例えばBをイオン打ち込みしてゲート電極9Cの両側のn型ウエル7にp⁻型半導体領域22を形成する。また、p型ウエル6にn型不純物、例えばPをイオン打ち込みしてゲート電極9Bの両側のp型ウエル6にn⁻型半導体領域23を形成し、ゲート電極9Aの両側のp型ウエル6にn型半導体領域24を形成する。これにより、メモリアレイにメモリセル選択用MISFETが形成される。

【0038】次に、図7に示すように、半導体基板1上にCVD法で膜厚50nm程度の窒化シリコン膜25を堆積した後、メモリアレイの窒化シリコン膜25をフォトレジスト膜で覆い、周辺回路の窒化シリコン膜25を異方性エッチングすることにより、ゲート電極9B、9Cの側壁にサイドウォールスペーサ26を形成する。こ

のエッチングは、ゲート酸化膜8や分離領域4に埋め込まれた酸化シリコン膜の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜25のエッチングレートが大きくなるようなエッチングガスを使用する。また、ゲート電極9B、9C上の窒化シリコン膜10の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0039】次に、上記フォトレジスト膜を除去した後、周辺回路のn型ウエル7にp型不純物、例えばBをイオン打ち込みしてpチャネル型MISFETのp⁺型半導体領域27(ソース、ドレイン)を形成し、周辺回路のp型ウエル6にn型不純物、例えばヒ素(As)をイオン打ち込みしてnチャネル型MISFETのn⁺型半導体領域28(ソース、ドレイン)を形成する。これにより、周辺回路にpチャネル型MISFETおよびnチャネル型MISFETが形成される。

【0040】次に、図8に示すように、半導体基板1上に膜厚300nm程度のSOG(スピンオンガラス)膜29をスピン塗布した後、半導体基板1を 800°C 、1分程度熱処理してSOG膜29をシンタリング(焼き締め)する。

【0041】次に、SOG膜29の上層に膜厚600nm程度の酸化シリコン膜30を堆積した後、この酸化シリコン膜30をCMP法で研磨してその表面を平坦化する。酸化シリコン膜30は、例えばオゾン(O_3)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0042】次に、酸化シリコン膜30の上層に膜厚100nm程度の酸化シリコン膜31を堆積する。この酸化シリコン膜31は、CMP法で研磨されたときに生じた前記酸化シリコン膜30の表面の微細な傷を補修するために堆積する。酸化シリコン膜31は、例えば O_3 とTEOSとをソースガスに用いたプラズマCVD法で堆積する。酸化シリコン膜30の上層には、酸化シリコン膜31に代えてPSG(Phospho Silicate Glass)膜を堆積してもよい。

【0043】次に、パターニングされたフォトレジスト膜をマスクとしたドライエッチングでメモリセル選択用MISFETのn型半導体領域24(ソース、ドレイン)の上層の酸化シリコン膜31、30およびSOG膜29を除去する。

【0044】なお、上記エッチングは、窒化シリコン膜25に対する酸化シリコン膜31、30およびSOG膜29のエッチングレートが大きくなるような条件で行い、n型半導体領域24や分離領域4の上部を覆っている窒化シリコン膜25が完全には除去されないようにする。

【0045】続いて、上記フォトレジスト膜をマスクとしたドライエッチングでメモリセル選択用MISFETのn型半導体領域24(ソース、ドレイン)の上層の窒

化シリコン膜25とゲート酸化膜8とを除去することにより、n型半導体領域24（ソース、ドレイン）の一方の上にコンタクトホール32を形成し、他方の上にコンタクトホール33を形成する。このエッチングは、酸化シリコン膜（ゲート酸化膜8および分離領域4内の酸化シリコン膜）に対する窒化シリコン膜25のエッチングレートが大きくなるような条件で行い、n型半導体領域24や分離領域4が深く削れないようにする。また、このエッチングは、窒化シリコン膜25が異方的にエッチングされるような条件で行い、ゲート電極9A（ワード線WL）の側壁に窒化シリコン膜25が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール32、33がゲート電極9A（ワード線WL）に対して自己整合で形成される。コンタクトホール32、33をゲート電極9A（ワード線WL）に対して自己整合で形成するには、あらかじめ窒化シリコン膜25を異方性エッチングしてゲート電極9A（ワード線WL）の側壁にサイドウォールスペースを形成しておいてもよい。

【0046】次に、上記フォトレジスト膜を除去した後、図9に示すように、コンタクトホール32、33の内部にプラグ34を形成する。プラグ34は、酸化シリコン膜31の上層にn型不純物、例えばPをドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール32、33の内部に残すことにより形成する。

【0047】次に、図10に示すように、酸化シリコン膜31の上層に膜厚200nm程度の酸化シリコン膜35を堆積した後、半導体基板1を800℃程度で熱処理する。酸化シリコン膜35は、例えばO₃とTEOSとをソースガスに用いたプラズマCVD法で堆積する。また、この熱処理によって、プラグ34を構成する多結晶シリコン膜中のn型不純物がコンタクトホール32、33の底部からメモリセル選択用MISFETのn型半導体領域24（ソース、ドレイン）に拡散し、n型半導体領域24が低抵抗化される。

【0048】次に、フォトレジスト膜をマスクとしたドライエッチングで前記コンタクトホール32上の酸化シリコン膜35を除去してプラグ34の表面を露出させる。次に、上記フォトレジスト膜を除去した後、フォトレジスト膜をマスクとしたドライエッチングで周辺回路の酸化シリコン膜35、31、30、SOG膜29およびゲート酸化膜8を除去することにより、pチャネル型MISFETのp⁺型半導体領域27（ソース、ドレイン）の上にコンタクトホール36を形成し、nチャネル型MISFETのn⁺型半導体領域28（ソース、ドレイン）の上にコンタクトホール37を形成する。

【0049】次に、上記フォトレジスト膜を除去した後、図11に示すように、酸化シリコン膜35の上層にビット線BLと周辺回路の第1層配線38とを形成す

る。ビット線BLおよび第1層配線38は、例えば酸化シリコン膜35の上層に膜厚50nm程度のチタン（Ti）膜と膜厚50nm程度のTiN膜とをスパッタリング法で堆積し、さらにその上層に膜厚150nm程度のW膜と膜厚200nm程度の窒化シリコン膜39aとをCVD法で堆積した後、フォトレジスト膜をマスクとしたこれらの膜をバタニングすることにより形成する。

【0050】酸化シリコン膜35の上層にTi膜を堆積した後、半導体基板1を800℃程度で熱処理することにより、Ti膜とSi基板とが反応し、pチャネル型MISFETのp⁺型半導体領域27（ソース、ドレイン）の表面、nチャネル型MISFETのn⁺型半導体領域28（ソース、ドレイン）の表面およびコンタクトホール32に埋め込まれたプラグ34の表面に低抵抗のチタンシリサイド（TiSi₂）層40が形成される。これにより、p⁺型半導体領域27、n⁺型半導体領域28およびプラグ34に接続される配線（ビット線BL、第1層配線38）のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、ビット線BLと周辺回路の第1層配線38とを同一工程で同時に形成することができる。

【0051】次に、上記フォトレジスト膜を除去した後、ビット線BLおよび第1層配線38の側壁にサイドウォールスペース39bを形成する。サイドウォールスペース39bは、ビット線BLおよび第1層配線38の上層にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングして形成する。

【0052】次に、図12に示すように、ビット線BLおよび第1層配線38の上層に膜厚300nm程度のSOG膜41をスピン塗布した後、半導体基板1を800℃、1分程度熱処理してSOG膜41をシンタリング（焼き締め）する。

【0053】次に、SOG膜41の上層に膜厚600nm程度の酸化シリコン膜42を堆積した後、この酸化シリコン膜42をCMP法で研磨してその表面を平坦化する。酸化シリコン膜42は、例えばO₃とTEOSとをソースガスに用いたプラズマCVD法で堆積する。

【0054】次に、酸化シリコン膜42の上層に膜厚100nm程度の酸化シリコン膜43を堆積する。この酸化シリコン膜43は、CMP法で研磨されたときに生じた前記酸化シリコン膜42の表面の微細な傷を補修するために堆積する。酸化シリコン膜43は、例えばO₃とTEOSとをソースガスに用いたプラズマCVD法で堆積する。

【0055】次に、フォトレジスト膜をマスクとしたドライエッチングでコンタクトホール33に埋め込まれたプラグ34の上層の酸化シリコン膜43、42、SOG膜41および酸化シリコン膜35を除去してプラグ34

の表面に達するスルーホール44を形成する。このエッチングは、酸化シリコン膜43、42、35およびSOG膜41に対する窒化シリコン膜のエッチングレートが大きくなるような条件で行い、スルーホール44とビット線BLの合わせずれが生じた場合でも、ビット線BLの上層の窒化シリコン膜39aやサイドウォールスペーサ39bが深く削れないようにする。これにより、スルーホール44がビット線BLに対して自己整合で形成される。

【0056】次に、上記フォトレジスト膜を除去した後、スルーホール44の内部にプラグ45を形成する。プラグ45は、酸化シリコン膜43の上層にn型不純物、例えばPをドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール44の内部に残すことにより形成する。

【0057】次に、図13に示すように、酸化シリコン膜43の上層に膜厚100nm程度の窒化シリコン膜46をCVD法で堆積した後、フォトレジスト膜をマスクとしたドライエッチングで周辺回路の窒化シリコン膜46を除去する。メモリアレイに残った窒化シリコン膜46は、後述する情報蓄積用容量素子Cの下部電極を形成する工程で下部電極の間の酸化シリコン膜をエッチングする際のエッチングストップとして利用される。

【0058】次に、上記フォトレジスト膜を除去した後、窒化シリコン膜46の上層に膜厚1.3μm程度の酸化シリコン膜47を堆積し、フォトレジスト膜をマスクにしたドライエッチングで酸化シリコン膜47および窒化シリコン膜46を除去することにより、スルーホール44の上方に溝48を形成する。このとき同時に、メモリアレイの周囲にメモリアレイを取り囲む枠状の溝48aを形成する。酸化シリコン膜47は、例えば O_3 とTEOSとをソースガスに用いたプラズマCVD法で堆積する。

【0059】次に、上記フォトレジスト膜を除去した後、酸化シリコン膜47の上層にn型不純物、例えばPをドーパした膜厚60nm程度の多結晶シリコン膜49をCVD法で堆積する。この多結晶シリコン膜49は、情報蓄積用容量素子Cの下部電極材料として使用される。

【0060】次に、多結晶シリコン膜49の上層に溝48、48aの深さよりも厚い膜厚（例えば2μm程度）のSOG膜50をスピン塗布した後、SOG膜50をエッチバックし、さらに酸化シリコン膜47の上層の多結晶シリコン膜49をエッチバックすることにより、溝48、48aの内側（内壁および底部）に多結晶シリコン膜49を残す。

【0061】次に、周辺回路の酸化シリコン膜47を覆うフォトレジスト膜をマスクに溝48の内部のSOG膜40と溝48の隙間の酸化シリコン膜47をウェットエッチングして情報蓄積用容量素子Cの下部電極51を形

成する。このとき、溝48の隙間には窒化シリコン膜46が残っているので、その下の酸化シリコン膜43がエッチングされることはない。また、周辺回路の酸化シリコン膜47を覆う上記フォトレジスト膜は、その一端をメモリアレイの最も外側に形成される下部電極51と周辺回路領域との境界部、すなわち溝48aの上部に配置する。このようにすると、フォトレジスト膜の端部に合わせずれが生じた場合でも、メモリアレイの最も外側に形成される下部電極51の溝48の内部にSOG膜50が残ったり、周辺回路の酸化シリコン膜47がエッチングされたりすることはない。

【0062】次に、上記フォトレジスト膜を除去し、次いで下部電極51を構成する多結晶シリコン膜49の酸化を防止するために、半導体基板1をアンモニア雰囲気中、800℃程度で熱処理して多結晶シリコン膜49の表面を窒化した後、下部電極51の上層に膜厚20nm程度の酸化タンタル(Ta_2O_5)膜52をCVD法で堆積し、次いで半導体基板1を800℃程度で熱処理して Ta_2O_5 膜52を活性化する。この Ta_2O_5 膜52は、情報蓄積用容量素子Cの容量絶縁膜材料として使用される。

【0063】次に、 Ta_2O_5 膜52の上層にCVD法とスパッタリング法とで膜厚150nm程度のTiN膜53を堆積した後、フォトレジスト膜をマスクとしたドライエッチングでTiN膜53および Ta_2O_5 膜52をパターニングすることにより、TiN膜53からなる上部電極と、 Ta_2O_5 膜52からなる容量絶縁膜と、多結晶シリコン膜49からなる下部電極51とで構成される情報蓄積用容量素子Cを形成する。これにより、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0064】その後、多層配線および最上層の配線の上層にパッシベーション膜を堆積するが、その図示は省略する。

【0065】このように、本実施の形態によれば、一つの処理室DEでW膜9cの100～250℃の高温エッチングおよび多結晶シリコン膜9aの-30～80℃の低温エッチングを連続して行うことができる。従って、高温用と低温用の2つの処理室は不要となるのでドライエッチング装置のコストが低減し、さらに、半導体ウエハ上の異物数が低減できて製造歩留まりが向上する。

【0066】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0067】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

以下のとおりである。

【0068】本発明によれば、ドライエッチング装置のコストが低減し、さらに、半導体ウエハ上の異物数が低減できて製造歩留まりが向上するので、半導体集積回路装置の製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるMISFETのゲート電極の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるドライエッチング装置の処理室の一例の概略図である。

【図5】本発明の一実施の形態であるドライエッチング技術を説明するための工程図である。

【図6】本発明の一実施の形態であるドライエッチング装置の処理室の他の例の概略図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

1 半導体基板

2 浅溝

3 酸化シリコン膜

4 分離領域

5 n型半導体領域

6 p型ウエル

7 n型ウエル

8 ゲート酸化膜

9A ゲート電極

9B ゲート電極

9C ゲート電極

9a 多結晶シリコン膜

9b タングステンナイトライド膜

9c タングステン膜

10 窒化シリコン膜

11 フォトリソグレイド膜

12 プラズマ発生用コイル

13 壁

14 パイプ

14a フィン

15 温調液

16 サーキュレータ

17 ウエハステージ

18 導入管

18a 加熱ガス

18b 冷却ガス

19 ベルチエ素子

19a フィン

20 赤外線ランプ

21 ファン

22 p⁻型半導体領域

23 n⁻型半導体領域

24 n型半導体領域

25 窒化シリコン膜

26 サイドウォールスペーサ

27 p⁺型半導体領域

28 n⁺型半導体領域

29 SOG膜

30 酸化シリコン膜

31 酸化シリコン膜

32 コンタクトホール

33 コンタクトホール

34 プラグ

35 酸化シリコン膜

36 コンタクトホール

37 コンタクトホール

38 第1層配線

39a 窒化シリコン膜

39b サイドウォールスペーサ

40 チタンシリサイド層

41 SOG膜

42 酸化シリコン膜

43 酸化シリコン膜

44 スルーホール

45 プラグ

46 窒化シリコン膜

47 酸化シリコン膜

48 溝

48a 溝

49 多結晶シリコン膜

50 SOG膜

51 下層電極

52 酸化シリコン膜

53 窒化シリコン膜

A メモリセル

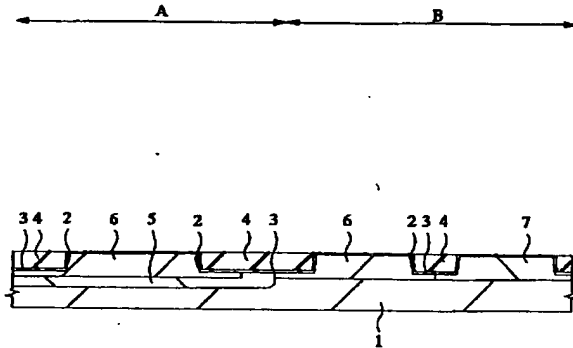
B 周辺回路

BL ビット線
WL ワード線
C 情報蓄積容量素子

SW 半導体ウエハ
DE 処理室

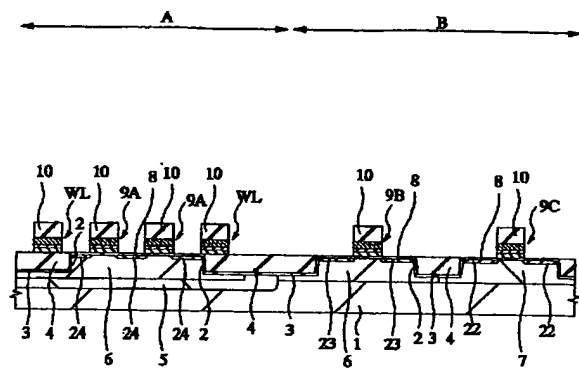
【図1】

図 1



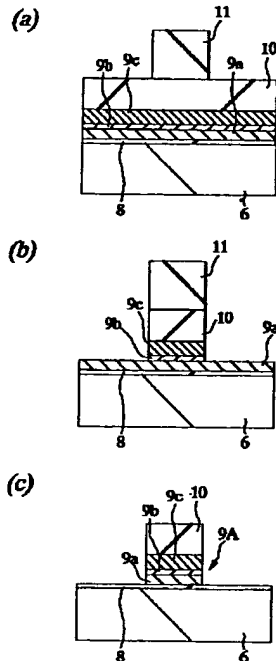
【図2】

図 2



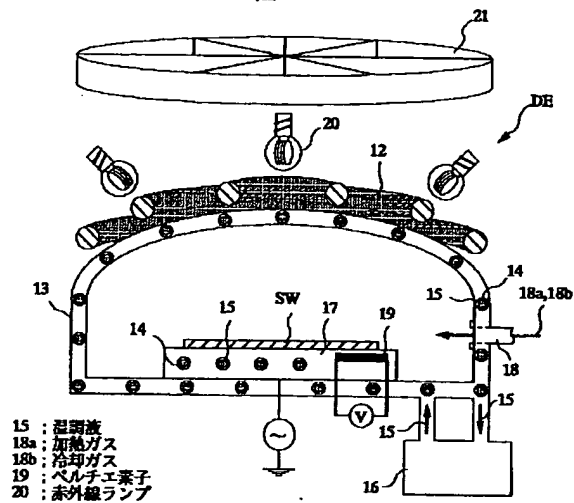
【図3】

図 3



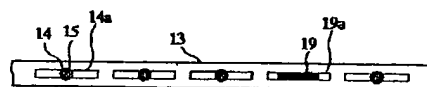
【図4】

図 4

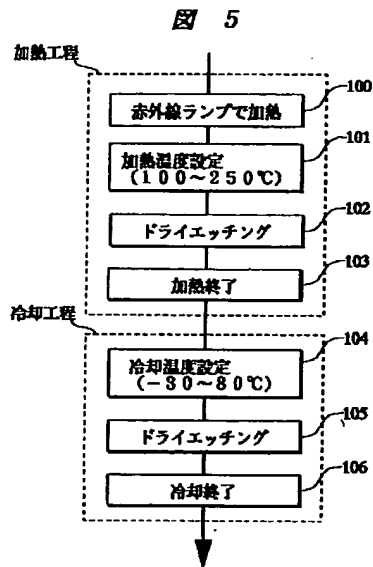


【図6】

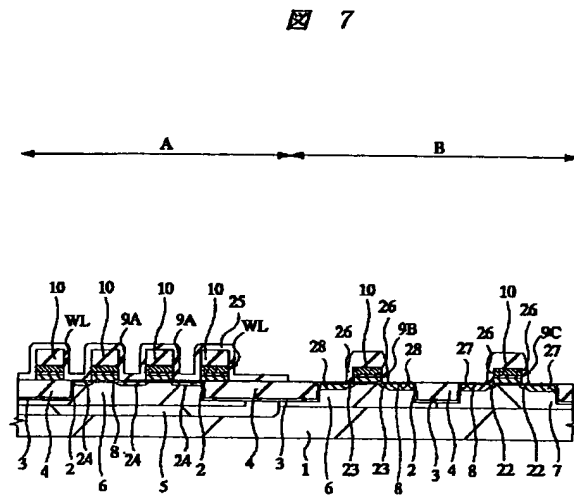
図 6



【図5】

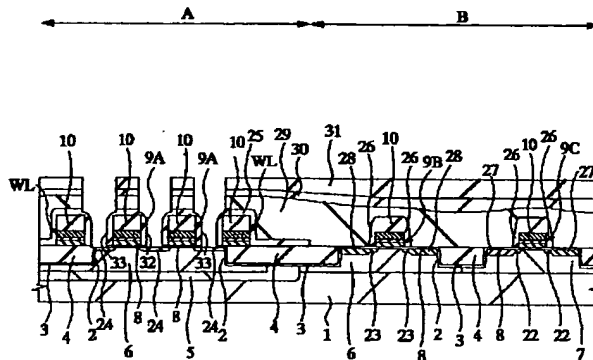


【図7】



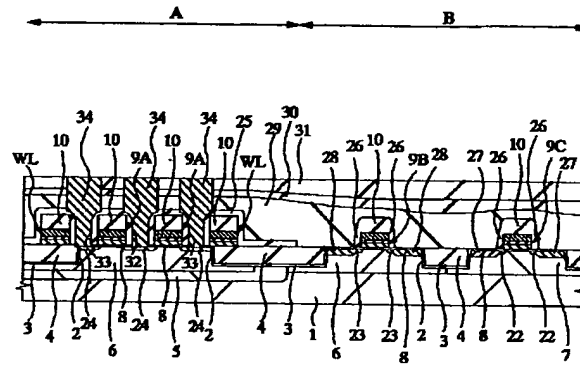
【図8】

図 8



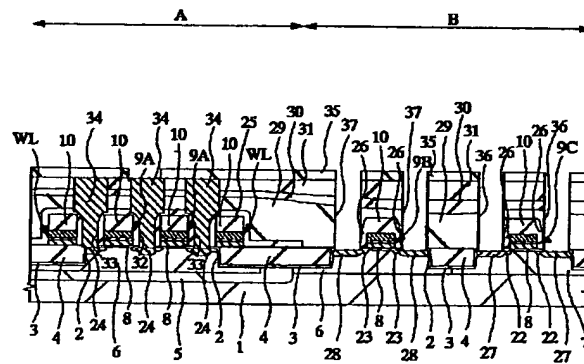
【図9】

図 9



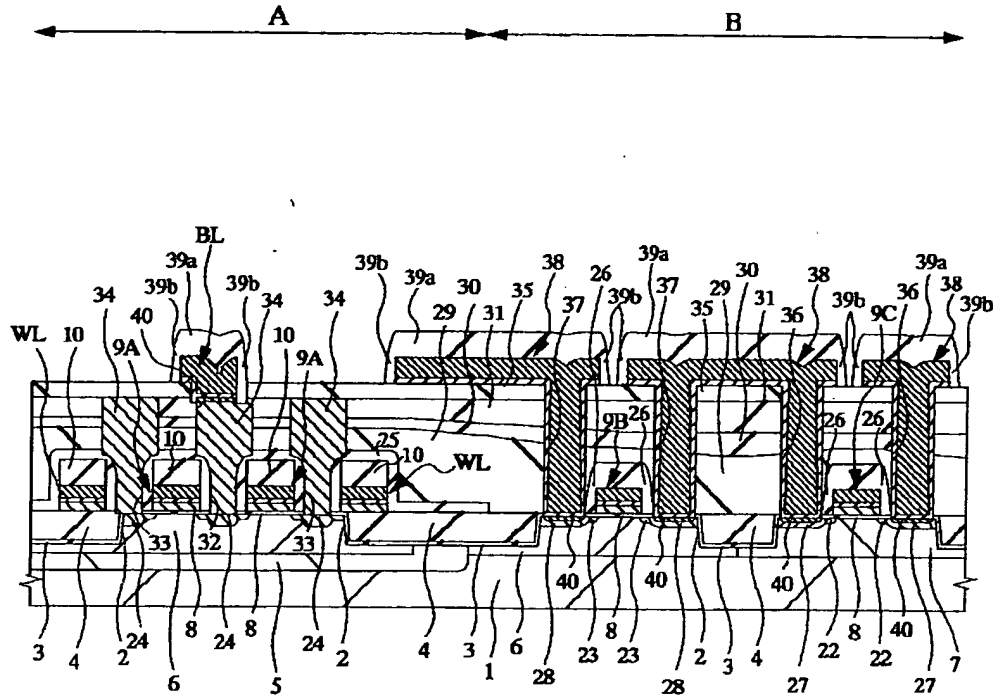
【図10】

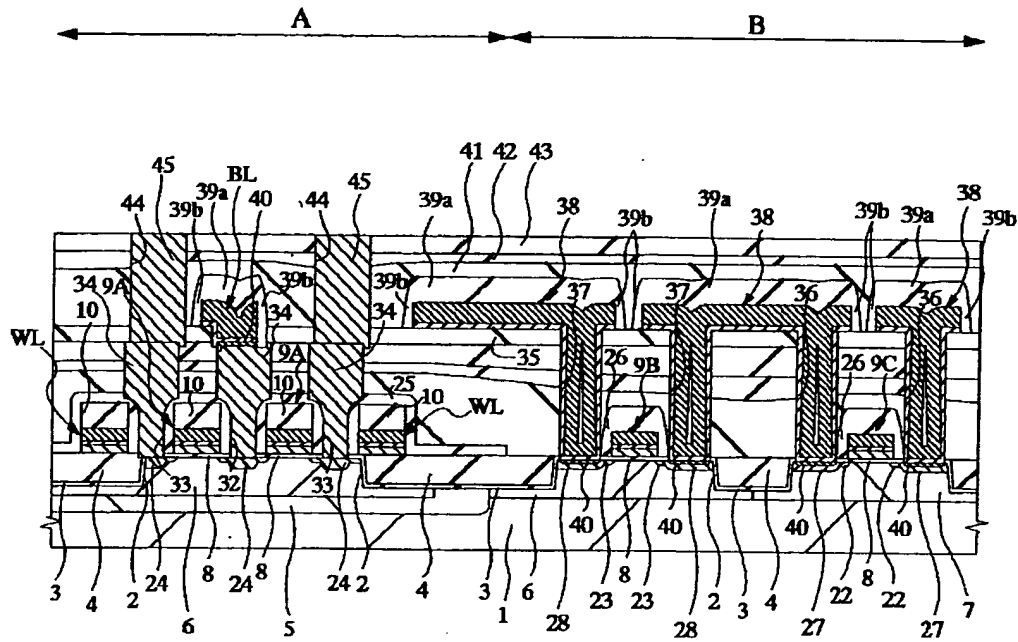
図 10



【图 1 1】

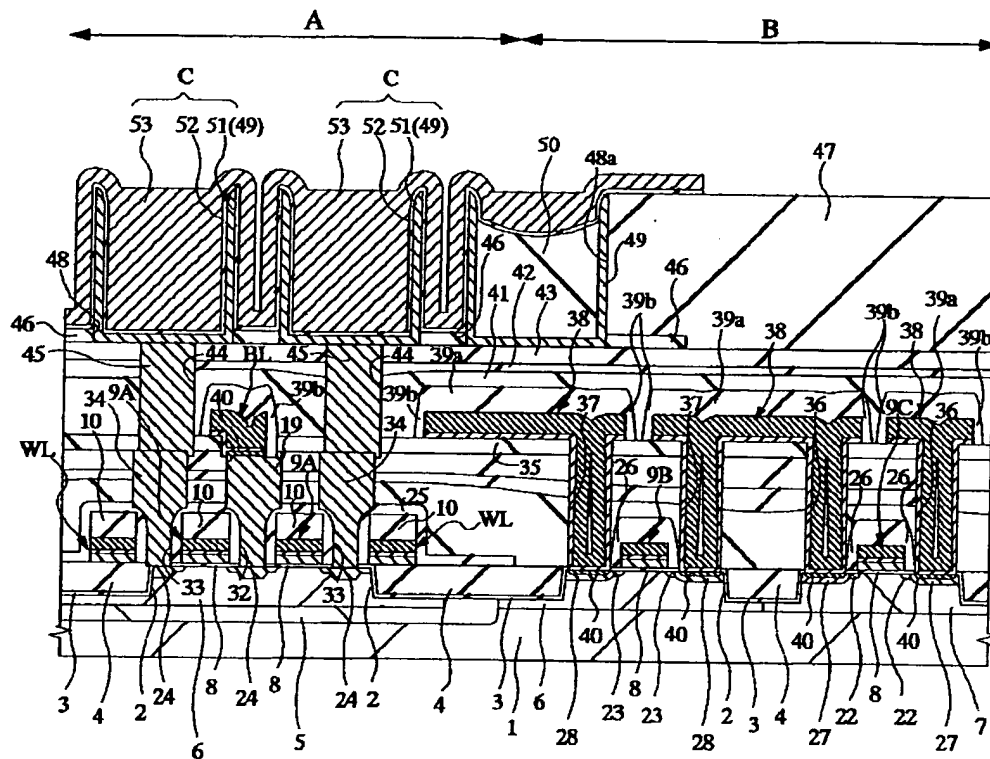
❖ 11





【図13】

図 13



フロントページの続き

(72)発明者 黒木 啓二

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F004 BA01 BB25 BB26 BB27 BC04
BC08 CA01 CA04 DA04 DB02
DB03 DB04 DB07 DB08 DB10
DB12 DB13 DB17 DB18 EB01
EB02
5F083 AD24 AD48 AD49 JA06 JA35
JA39 JA40 JA56 KA05 MA03
MA04 MA06 MA17 MA19 MA20
PR03 PR06 PR21 PR23 PR33
PR40 PR43 PR44 PR45 PR53
PR54 PR55 ZA04 ZA06